

# Low-voltage SRAM with read and write assist schemes 使用讀寫輔助電路之低電壓SRAM

組別:A40

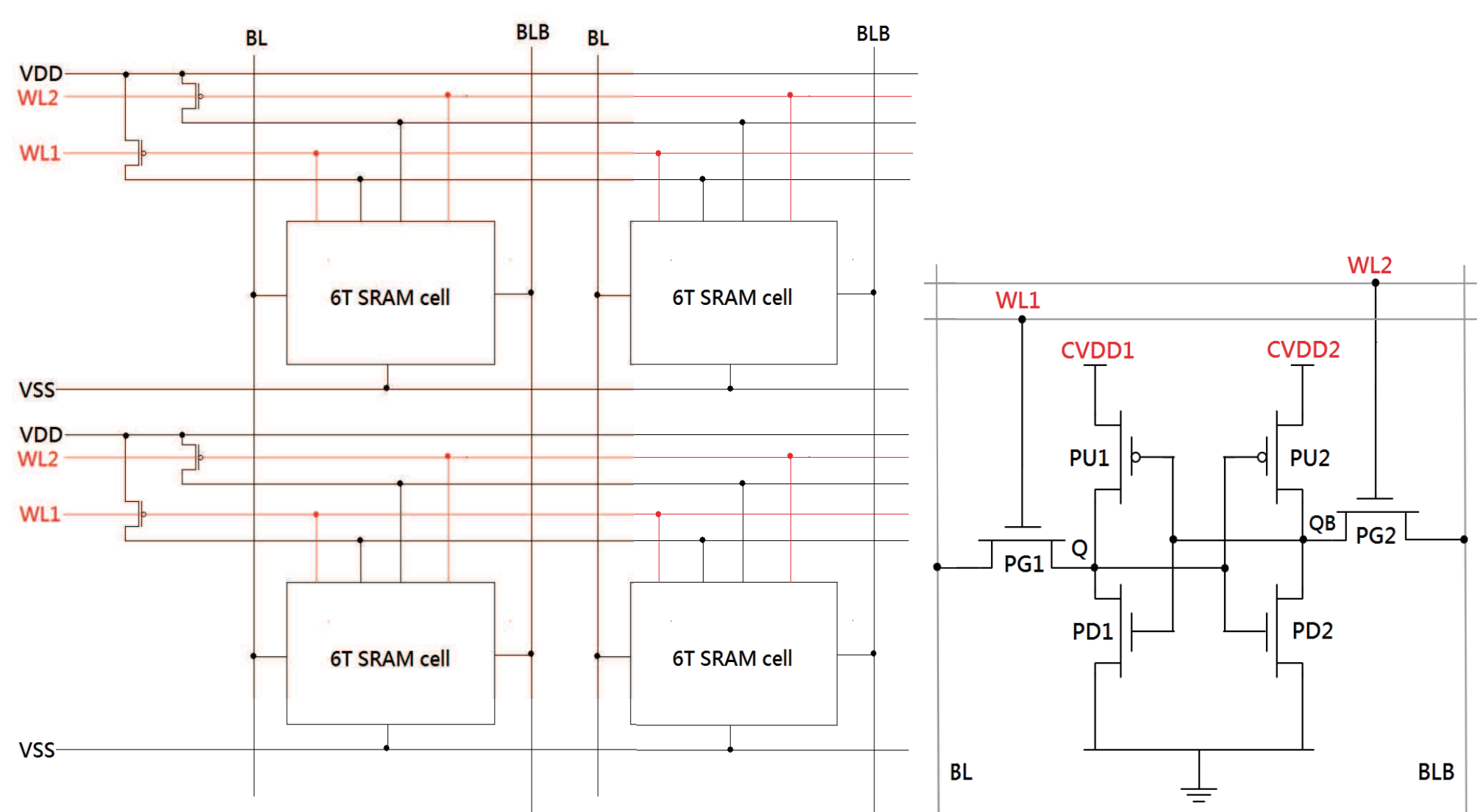
組員:陳志誠

指導教授:張孟凡

## 摘要

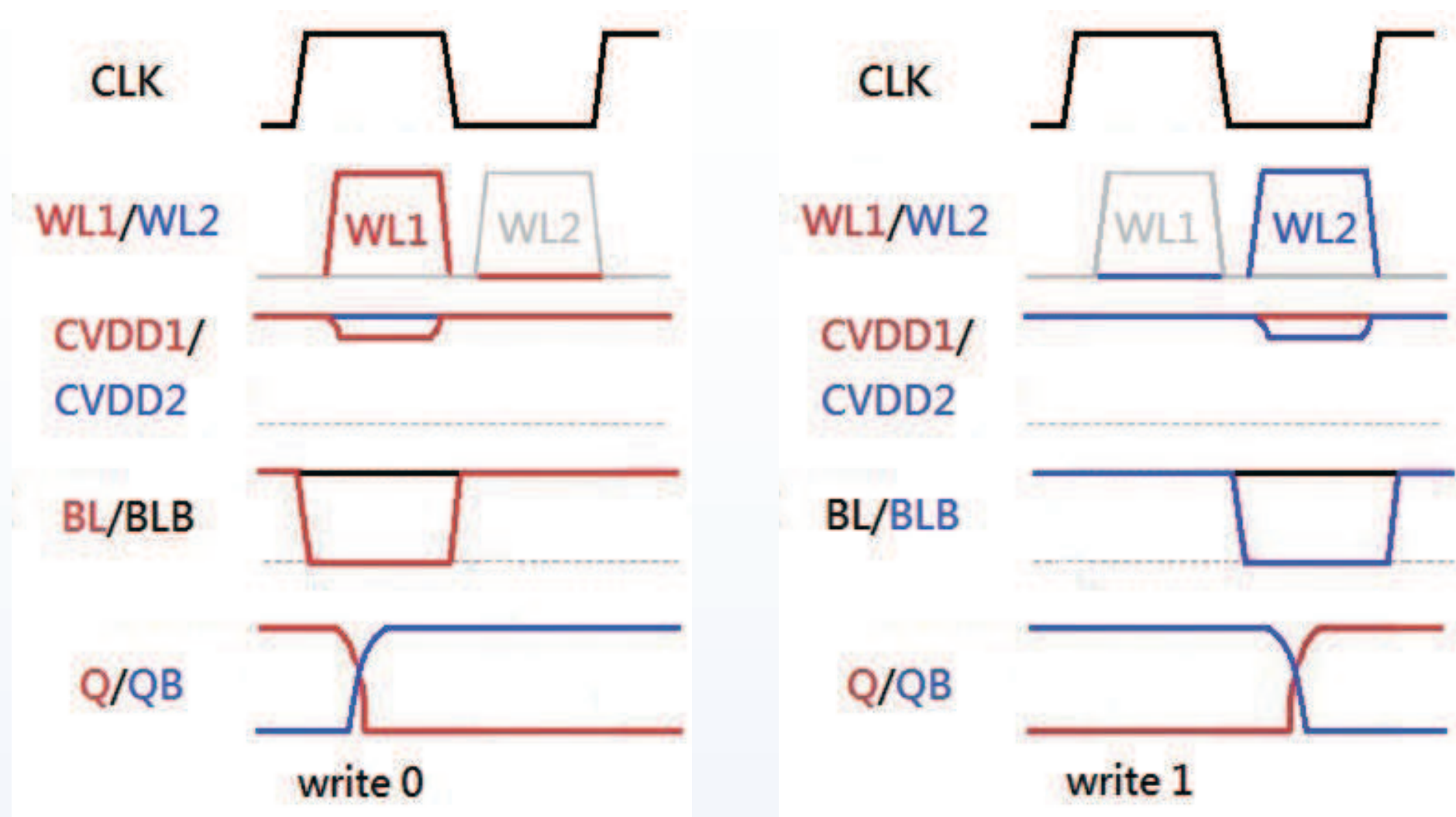
隨著物聯網與可攜式電子智慧產品的崛起，如何降低功耗以及節省記憶體的面積成了當務之急。藉由傳統6T SRAM cell的設計雖然可以有較小的面積，然而在較低的操作電壓下，會有write failure與half-select disturbance等問題，致使無法在較低的電壓下正常運作。因此為了解決如此問題，此專題根據先前既有研究的Split-Control設計[1]，將其對於cell-VSS的分開控制的讀寫輔助架構運用於cell-VDD，解決write failure的問題。並使用傳統的word-lines underdrive架構改善read disturb的問題。

## 原理分析



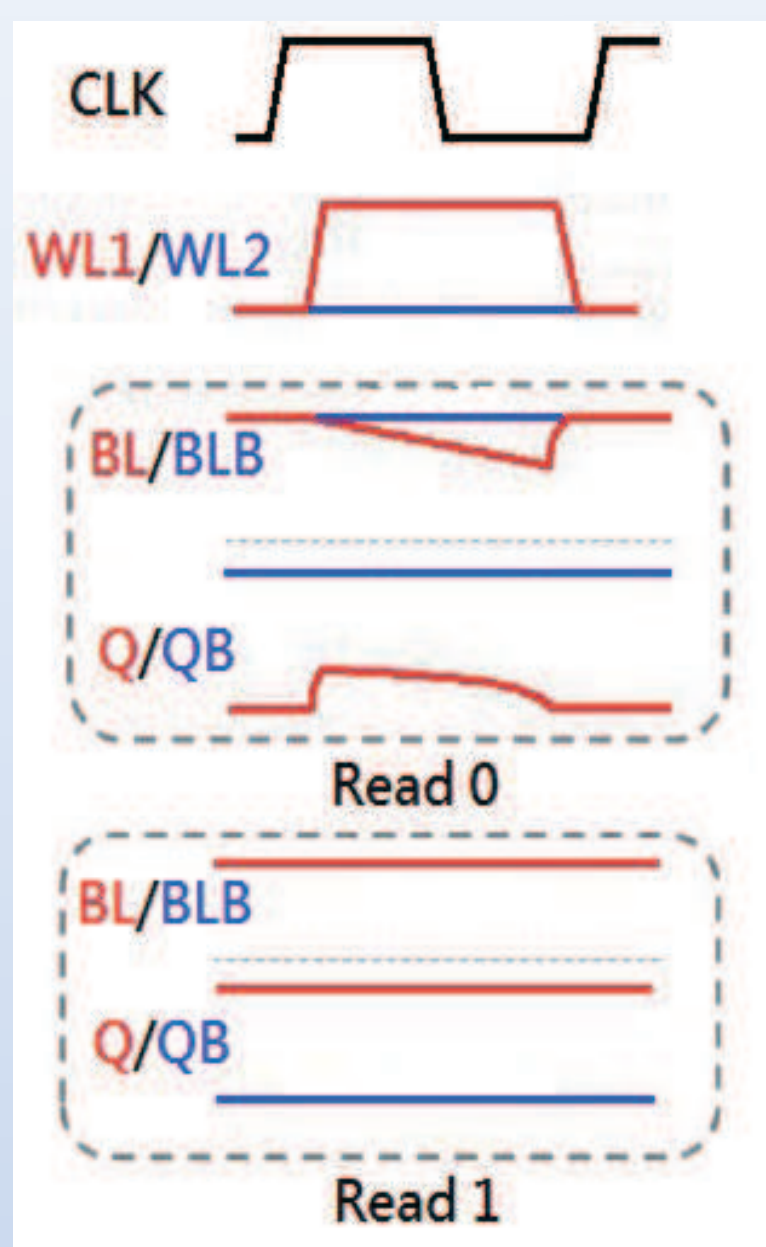
### write assist:

寫入的過程在一個clock的周期內分為兩個sub-phase，寫入低電位(write 0)與寫入高電位(write 1)，使得CVDD1/CVDD2處於浮動電壓，藉此削弱pull-up transistor (PU1/PU2)的強度，故Q/QB的電位更容易從VDD拉到VSS，提升寫入電位的能力。



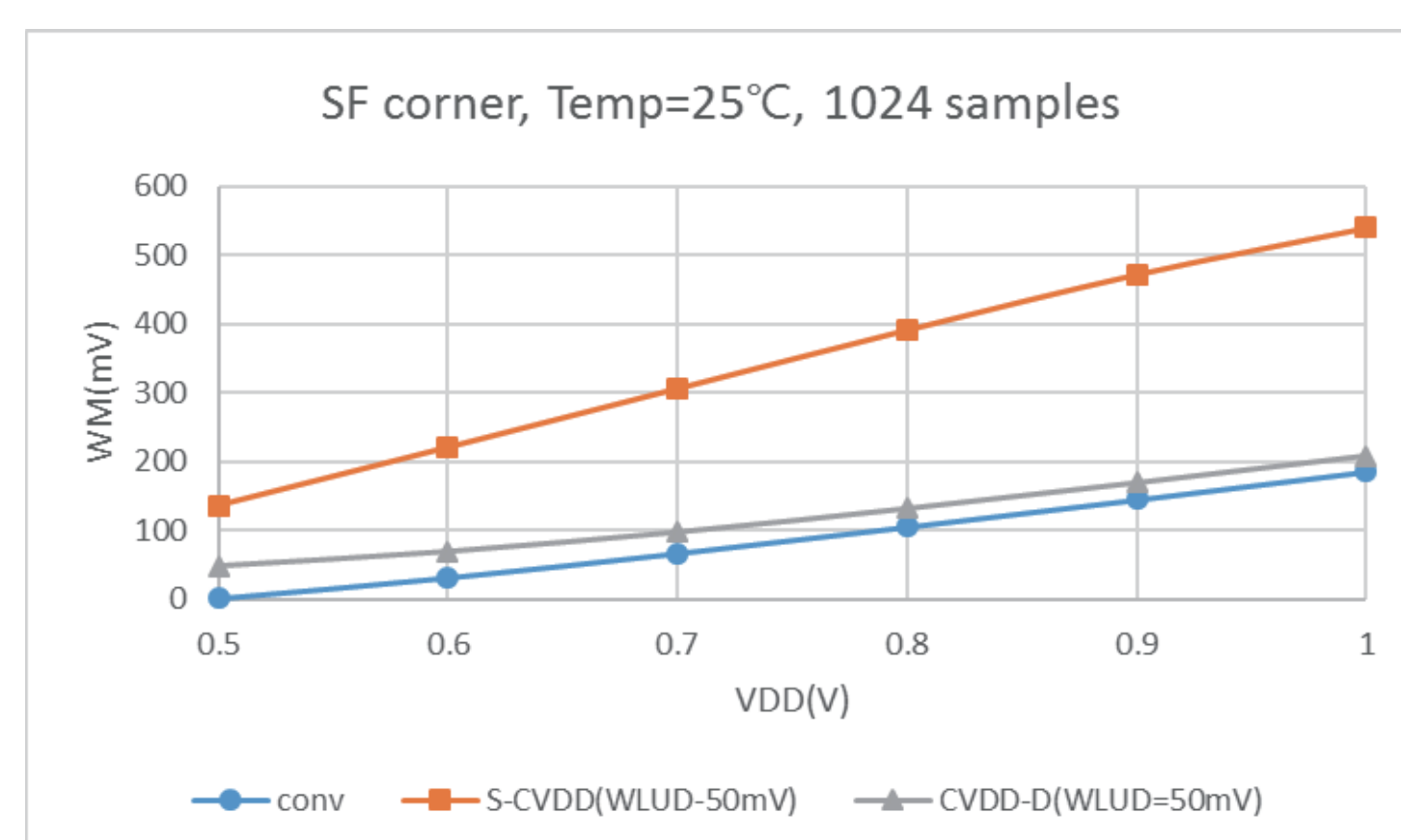
### read assist:

使用single-end scheme搭配WLUD的輔助電路改善half-select與read disturbance的問題。

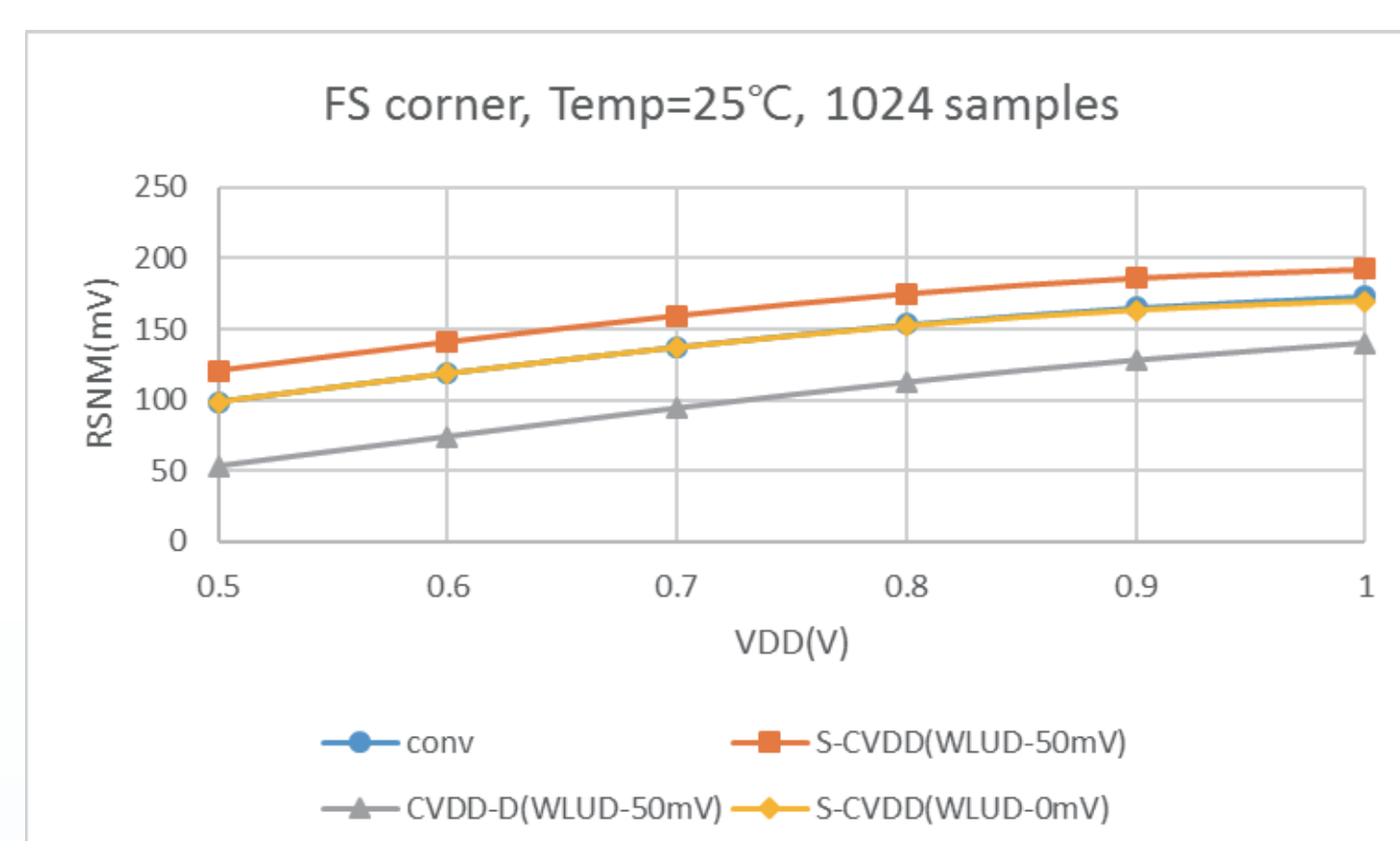


## 模擬結果

### write margin:



### read static noise margin:



經由模擬結果，使用如此架構比起傳統的6T SRAM可以有較大的write margin和read static noise margin，因此可以在較低的操作電壓下運作，降低功耗的損失。

## 參考文獻

- [1] M.-F. Chang et al., "A 28nm 256Kb 6T-SRAM with 280mV Improvement in VMIN Using a Dual-Split-Control Assist Scheme" IEEE International Solid-State Circuits Conference (ISSCC) Dig. Tech. Papers, pp. 314-315, Feb. 2015.
- [2] M.-F. Chang et al., "A Compact-Area Low-VDDmin 6T SRAM With Improvement in Cell Stability, Read Speed, and Write Margin Using a Dual-Split-Control-Assist Scheme" IEEE Journal of Solid-State Circuits, Vol. 52, No. 9, September 2017, pp. 2498-2514.