

高吞吐量Q-儲存階層系統低密度奇偶檢查解碼器

組別:A33

指導教授:翁詠祿

組員:劉諭昕、孫士益

這次專題為低密度奇偶檢查解碼器的硬體實作，透過IEEE802.15.3c標準的奇偶檢驗矩陣的特性，建構出支援四種碼率的解碼器，並配合標準化最小和演算法，以行為基準更新，可減少一半的解碼迭代次數同時維持效能。

實作初期先透過C語言程式模擬整個流程，從編碼、調變，到最終解碼的過程，以驗證演算架構及流程，並得出效能最佳的標準化係數為0.75。後期則著重解碼器的硬體實踐，透過verilog語言，設計比較器、更新器、提早終止器、前置繞線、後置繞線等，將解碼器實作出來。

採用TSMC90UTM製程，利用design compiler合成後結果為：時脈頻率78.1MHz，解碼吞吐量可達2.625Gb/s，邏輯閘數為547.3k，功率70.4 mW。

此解碼器有高吞吐量、低功率的特色，透過分層解碼結構支援高吞吐量，只需4個週期即可完成一次解碼迭代，因平行化的增加，利用奇偶檢查碼之矩陣特性，實現高兼容性的繞線。

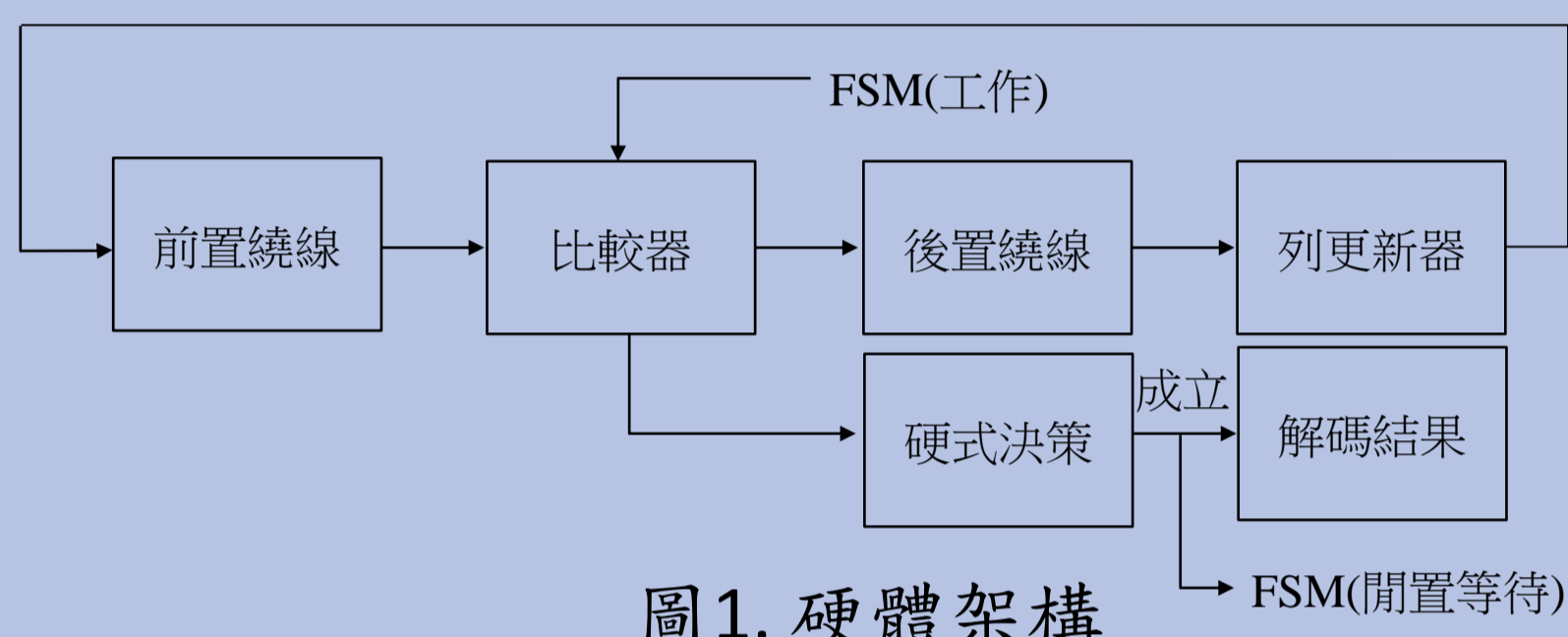


圖1. 硬體架構

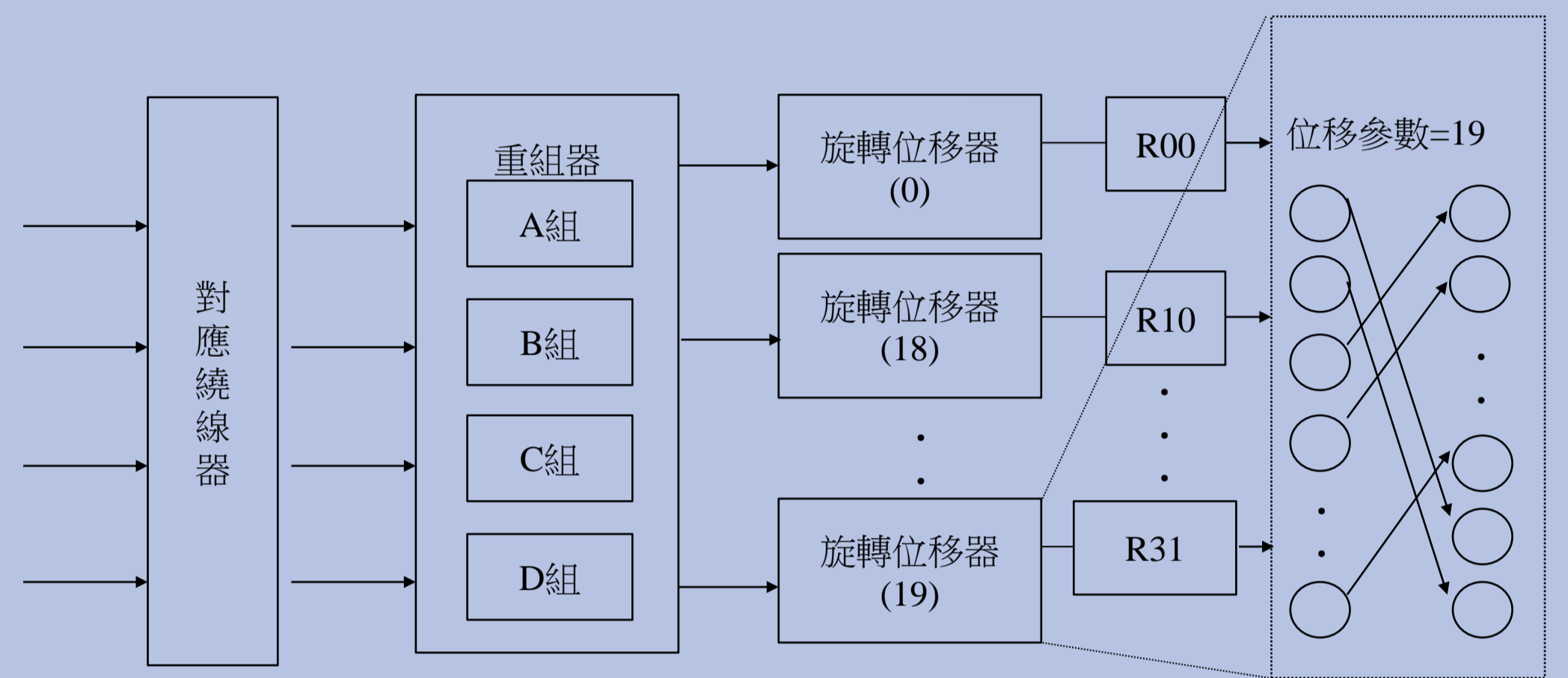


圖5. 後置繞線

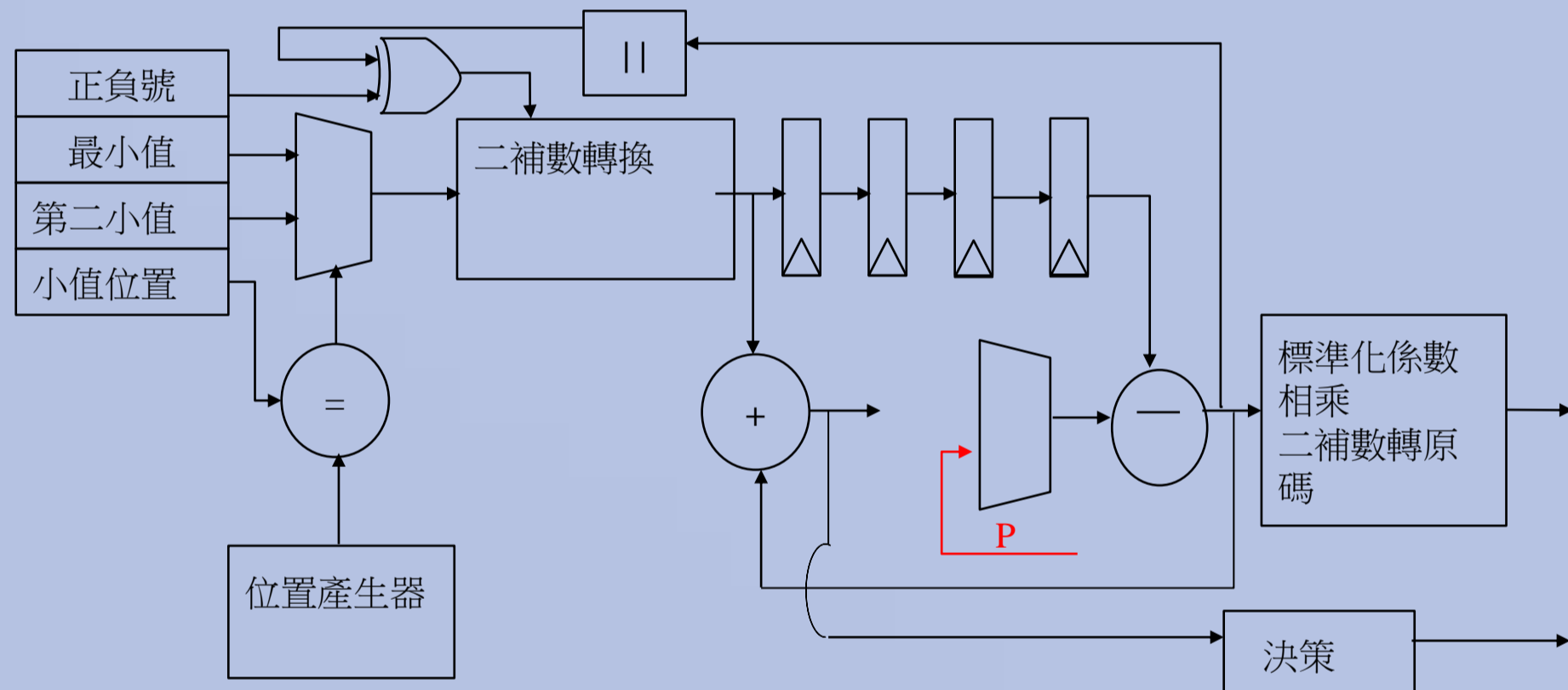


圖2. 更新器

時脈週期	12.8 ns	
	邏輯閘數	時程(ns)
VNG	330.2k	4.24
Pre	31.773k	0.4098
Sorter	67.77k	5.0778
Pro	103.6k	1.2065
E_T	13.755k	1.5627
control	0.2k	0.1767
總和	547.3k	12.67

表1. 合成結果

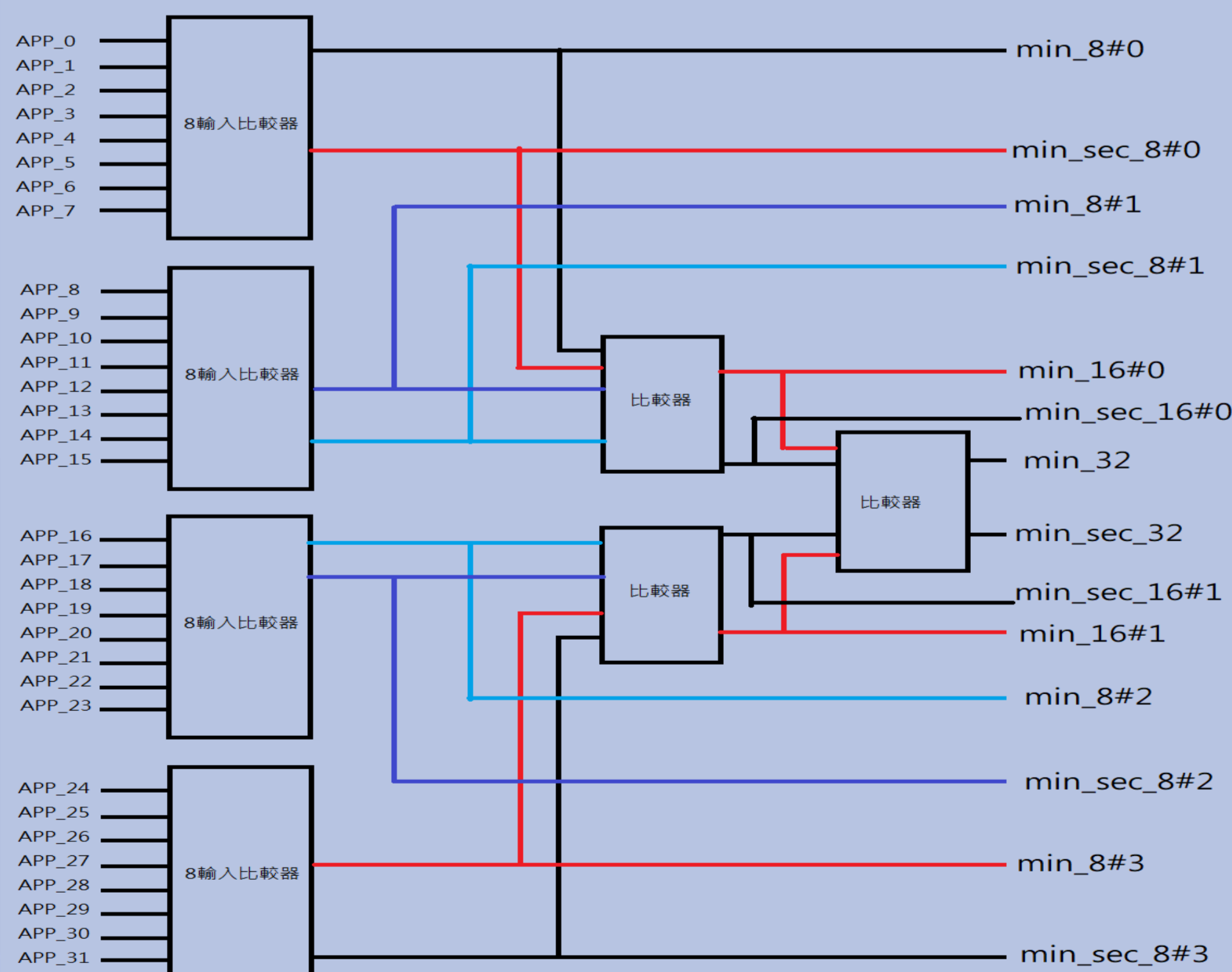


圖3. 比較器

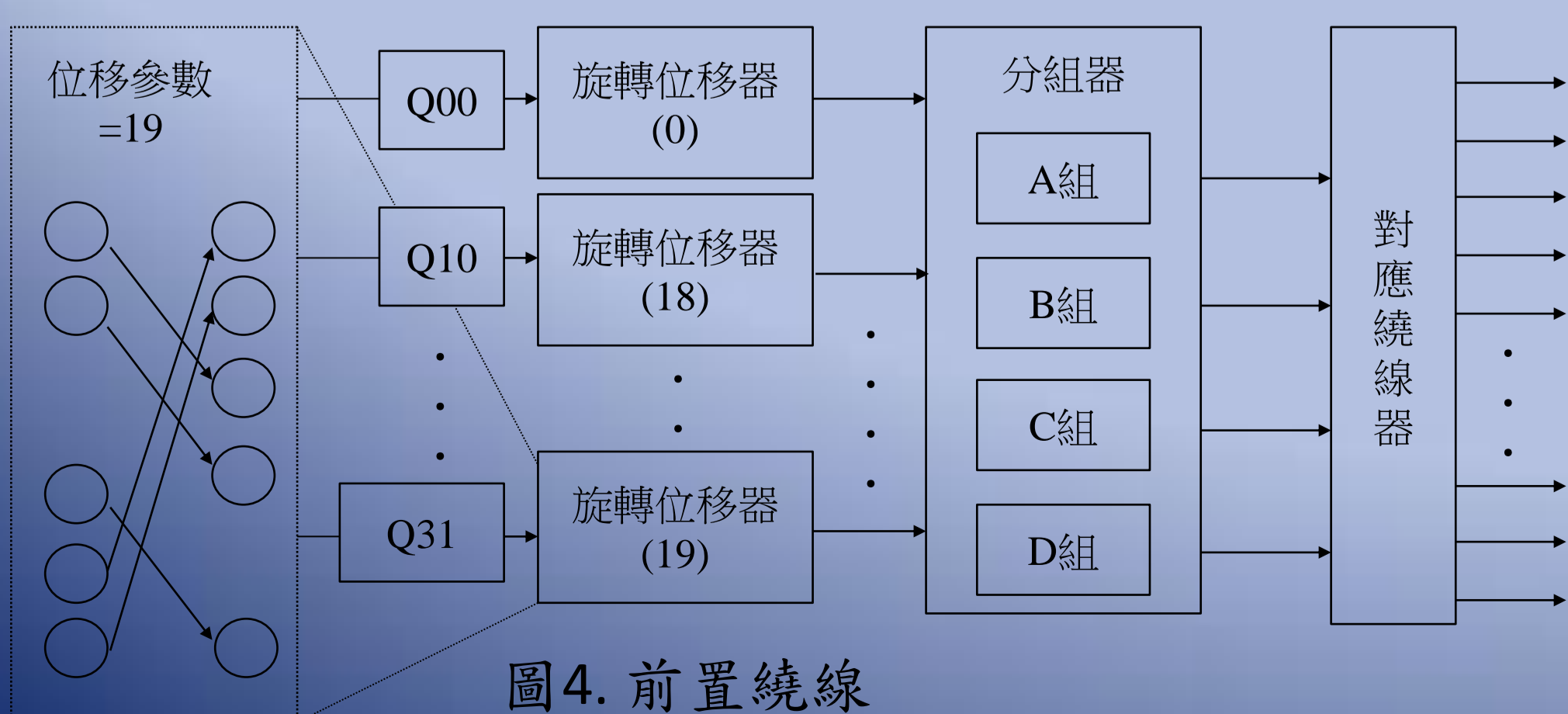


圖4. 前置繞線

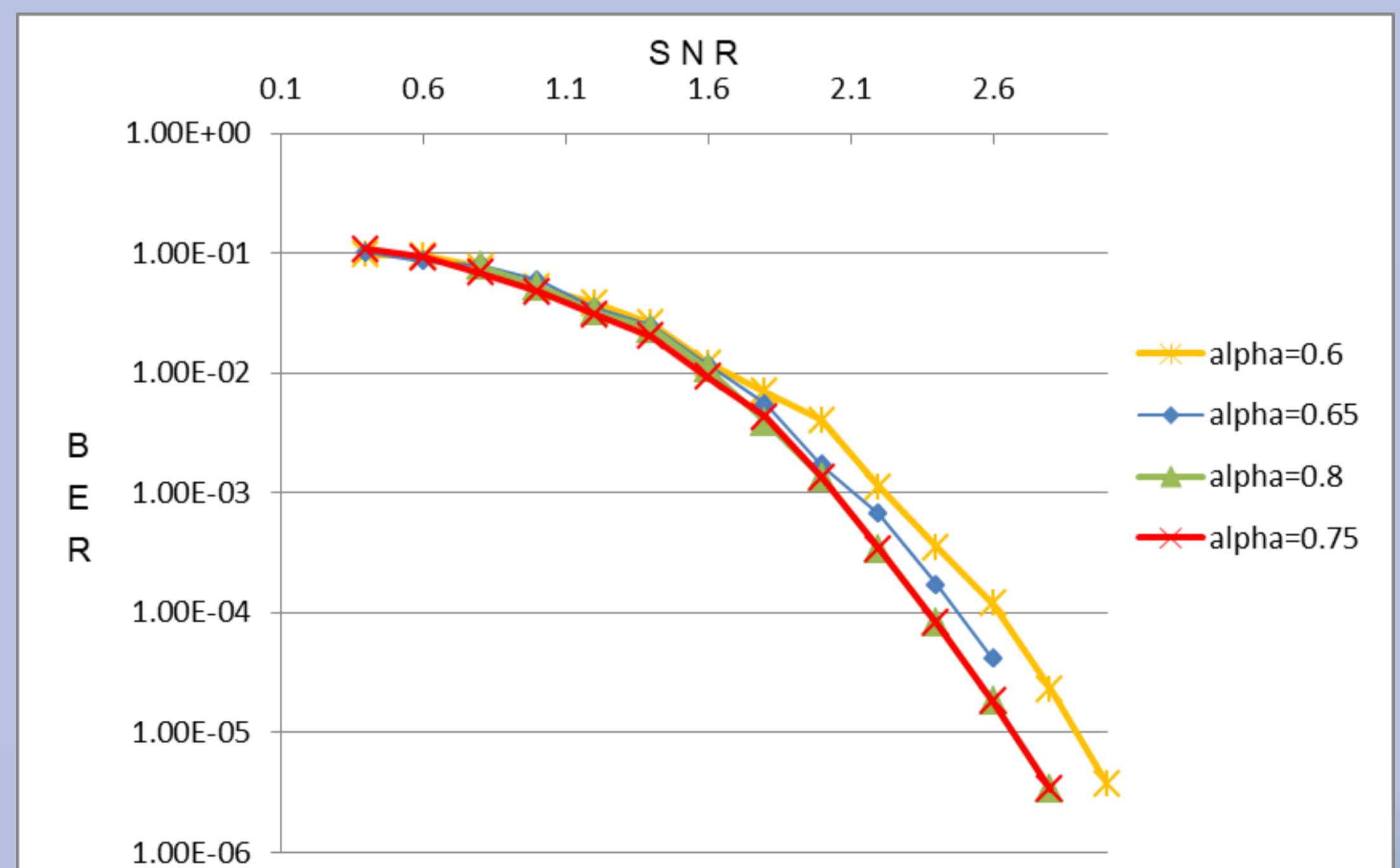


圖6. 不同標準化係數之BER v.s. SNR(dB)

參考文獻:

- [1] S. W. Yen, S. Y. Hung, C. L. Chen, H. C. Chang, S. J. Jou, and C. Y. Lee, "A 5.79-Gb/S Energy-Efficient Multirate LDPC Codec Chip for IEEE 802.15.3c Applications", IEEE Journal of Solid-State Circuit, Vol. 47, No. 9, Sep 2012.
- [2] C. L. Wey, M. D. Shieh, and S. Y. Lin, "Algorithms of Finding the First Two Minimum Values and Their Hardware Implementation", IEEE Transactions on Circuits and Systems--1: Regular Papers, Vol. 55, No. 11, Dec 2008.
- [3] Z. Chen, X. Peng, X. Zhao, Q. Xie, L. Okamura, D. Zhou, and S. Goto, "A 6.72-Gb/s 8pJ/bit/iteration IEEE802.15.3c LDPC decoder chip", in International Symposium on Integrated Circuits, ISIC 2011, pp. 7-12.