

運用3D IGZO的技術在靜態隨機儲存記憶體和正反器上來達到非揮發性記憶體的效果

組別：A10

指導教授：張孟凡

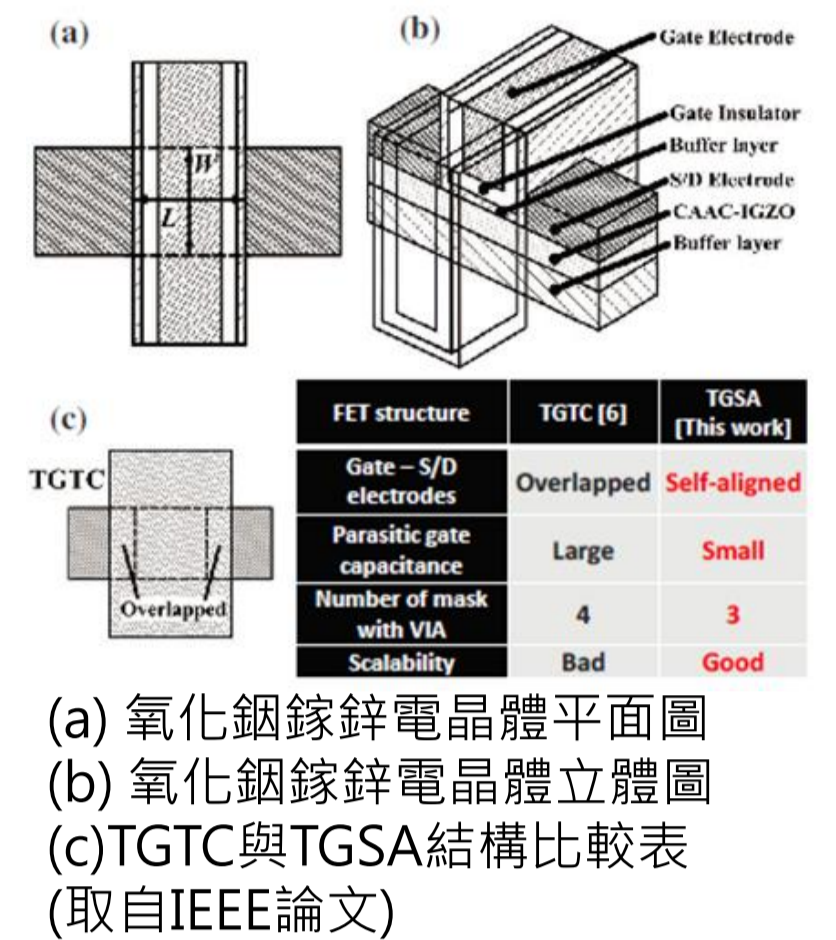
組員姓名：高暉曜、李婕

Introduction

近年來，物聯網(The Internet of Things)愈來愈受重視。物聯網會用到的產品須具有低能量消耗以及高資料儲存功能，但是隨著先進的製程開發，漏電電流也跟著增加，而電源閘控技術是最有效去降低漏電電流的方式。現在，有許多有關電源閘控技術應用的記憶體。當中，氧化物半導體電晶體為最有潛力的，而氧化銦鎵鋅電晶體(CAAC-IGZO)就是其中的一個例子。我們將對氧化銦鎵鋅電晶體和電源閘控技術做介紹，以及針對揮發性記憶體運用氧化銦鎵鋅電晶體做些分析與討論，而這次主要討論的電路有兩個，一為靜態隨機存取記憶體(SRAM)，另一個為D型正反器(D Flip-flop)。

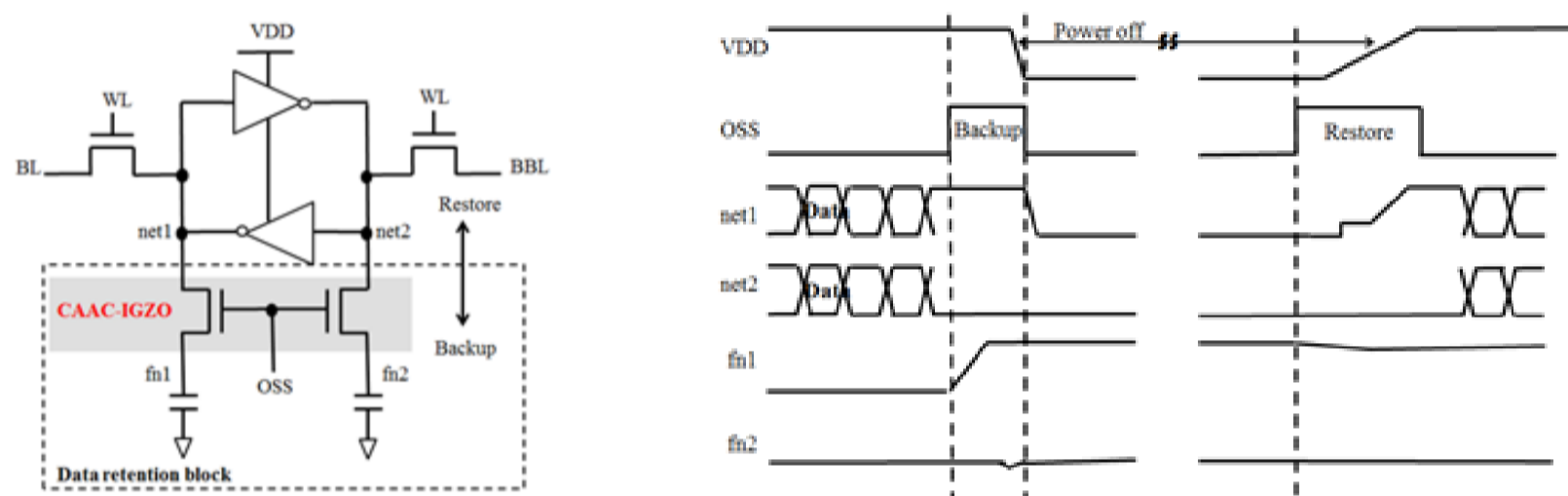
氧化銦鎵鋅電晶體具有TGSA結構。一般的TGTC(top gate-top-contact)結構電晶體因為本身結構的關係，閘極寄生電容很大，並且在製程上需要四片光罩。相較來說，TSGA結構具有小的閘極寄生電容，並且在製程上只需要三層光罩。(詳細的比較可見圖1)。氧化銦鎵鋅電晶體擁有高臨界電壓，所以具有極度低的漏電電流，此特性可以被用來當作超低功耗記憶體。

閘控技術是依照電路區塊正在使用與否來控制電源的開與關，若未使用的區塊則關閉電源。當電源暫時關掉時，資料會完全消失，這會讓資料消失而導致下次開啟電路時無法正常運作。為了避免資料消失，需要備份電路來備份資料。因此我們研究的使用非揮發性記憶體所組成的備份電路可以迅速的備份和復原資料，且不會額外的增加面積。



Implementation & Experiment Result

非揮發性正反器運用氧化銦鎵鋅電晶體



當靜態隨機存取記憶體在正常操作狀態下，備份電路不會運作。當靜態隨機存取記憶體準備進入待機狀態時，備份電路裡的氧化銦鎵鋅電晶體會打開(OSS=high)，讓在靜態隨機存取記憶體的資料以電荷共享的方式存到備份電路的電容裡，這階段為備份階段(Backup)。當資料備份到備份電路後靜態隨機存取記憶體的電源就會關閉進入待機狀態。等到靜態隨機存取記憶體要開機前，備份電路裡的氧化銦鎵鋅電晶體閘極會再次打開，把之前備份到備份電路兩個電容裡的資料再存回去靜態隨機存取記憶體，等到資料恢復完後，OSS電壓切回低電壓，靜態隨機存取記憶體就可以繼續正常的運作，這階段為還原資料階段(Restore)。

電路還原資料階段總電源的開啟時機分析與討論：

一. 總電源與氧化銦鎵鋅電晶體閘極開關OSS同時啟動：

當電源與OSS一開啟，備份電路的電容在短時間內會做完電荷共享的動作，但是因為這時的電源電壓還不足以讓靜態隨機存取記憶體內部兩邊去拉開電壓做到分辨資料，電荷共享回去的電壓會隨時間而下降，導致之後靜態隨機存取記憶體會因內部兩邊電壓太過接近而導致分辨錯誤。

二. 總電源在氧化銦鎵鋅電晶體閘極開關OSS開啟後啟動：

總電源在OSS後開啟會遇到狀況與電源與OSS同時開啟相同，同樣都會有在電源還不足以讓靜態隨機存取記憶體分辨資料時，電荷共享回去的電壓有降低的現象，導致靜態隨機存取記憶體寫錯。

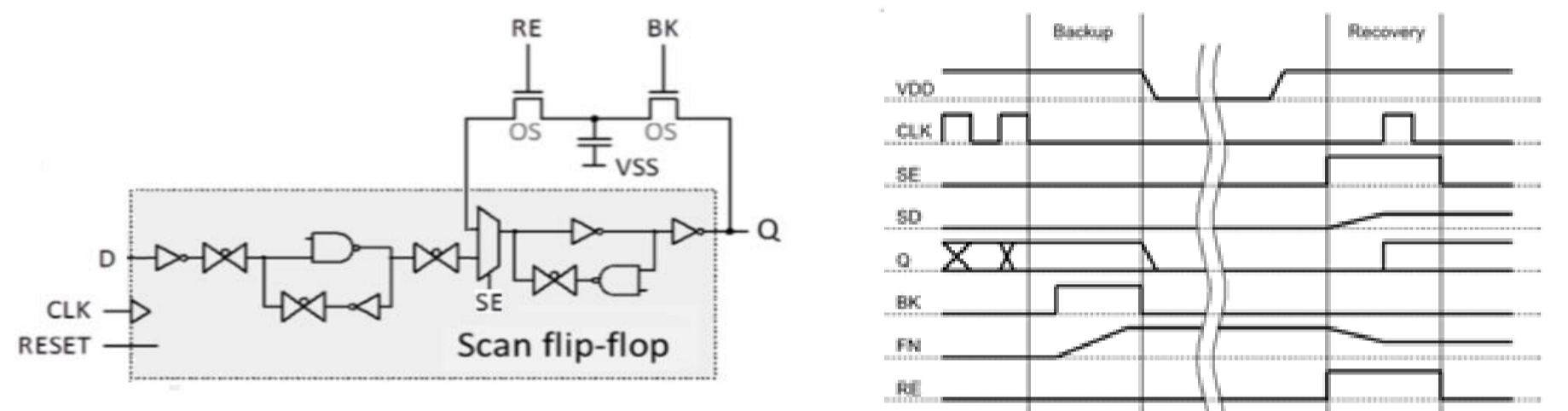
三. 總電源在氧化銦鎵鋅電晶體閘極開關OSS開啟之前啟動：

如果是考慮電源在很短的時間內就完全開啟的情況，總電源比OSS早開啟會導致原先備份的資料還未還原到靜態隨機存取記憶體時，靜態隨機存取記憶體本身已自行充電，並自己拉開電壓，如此靜態隨機存取記憶體裡的資料並不是原先關機前的資料，為錯誤的運作。

分析結果討論：

透過模擬結果，發現在還原資料階段，如果總電源尚未上升到足以讓靜態隨機存取記憶體分辨資料的階段，從電容還原回去靜態隨機存取記憶體的電荷會逐漸漏掉，也就是電壓會逐漸下降，所以為了讓電路達到較好的效能以及最低的能量消耗，還原資料階段的電源和OSS開啟時機是一大重點，日後將針對這一點去設計一個偵測器，讓偵測器主動偵測到OSS最佳開啟點並去開啟OSS。

非揮發性正反器運用氧化銦鎵鋅電晶體



運用氧化銦鎵鋅電晶體(IGZO)的正反器電路是由一個正常的D型正反器再加上一個備份電路所組成，備份電路由三個IGZO電晶體所組成，具體電路如右圖。在正常操作狀態下，備份電路並不會運作。當要進入待機狀態之前，備份電路裡的IGZO電晶體閘極打開，讓資料以電荷共享存到備份電路的電容裡，此階段為備份階段(Backup)。當再度開機後，備份電路裡的IGZO電晶體打開，把之前備份的資料再存回去，等到資料恢復完全，就可以使用之前在關機前所儲存的值，此階段為還原資料階段(Restore)。

我們認為前者的電路有幾個地方可以改善，改進後的電路如下：

此備份電路電路為一個IGZO電晶體以及一個電容所組成堆疊在正反器上方。因為只使用了一個IGZO電晶體，可以加大IGZO電晶體的寬度，使寫入的速度加快，而且備份電路加在slave端時速度更快。接下來的改進還有把NAND邏輯閘改成逆變器，並將CLK和RE訊號經過處理後取代選擇器。新的電路有兩個訊號是新的，一個為IGZO_ON，另一個為CLK_1。IGZO_ON的訊號只在備份和恢復階段時才打開，CLK_1的則是讓clk和reb訊號經過OR的邏輯閘產生，使用CLK_1代替選擇器的功能，減少了許多的面積。

新舊電路的比較：

新的電路比舊的電路少12個矽電晶體，使得整個正反器的面積可以大幅度的下降。不僅沒有增加面積，新的電路使IGZO電晶體有更大的寬度，使備份和恢復速度變快。在25°C、TT corner時，新電路儲存的資料為0時，恢復的時間為717ps，儲存的資料為1時，恢復的時間為1.09ns。在良率方面，兩者跑monte carlo出來的結果都是呈現良率高的狀態，皆沒有失敗的情況發生，由此可知在良率方面應該是平分秋色。

然而在模擬的過程中我也發現電路中我的備份電路的電容主要可以恢復的原理為電荷共享。若被原本的值拉低電容內的電荷，並沒有超過電路中的逆變器的翻轉點，就不能使正確的值被傳到輸出，而導致恢復的錯誤，因此電容不能太大，也不能太小，太大容易導致備份時間的快慢，太小容易導致恢復階段的錯誤。

Reference

- [1] D. Matsubayashi, Y. Asami, Y. Okazaki, M. Kurata, S. Sasagawa, S. Okamoto, Y. Iikubo, T. Sato, Y. Yakubo, R. Honda, M. Tsubuku, M. Fujita, T. Takeuchi, Y. Yamamoto, and S. Yamazaki; Semiconductor Energy Laboratory Co., Ltd.; IEDM15-144
- [2] Hikaru Tamura, Kiyoshi Kato, Takahiko Ishizu, Wataru Uesugi, Atsuo Isobe, Naoki Tsutsui, Yasutaka Suzuki, Yutaka Okazaki, Yukio Maehashi, Jun Koyama, Yoshitaka Yamamoto, Shunpei Yamazaki, Masahiro Fujita, James Myers, Pekka Korpinen; EMBEDDED SRAM AND CORTEX-M0 CORE USING A 60-NM CRYSTALLINE OXIDE SEMICONDUCTOR; IEEE Computer Society
- [3] Tatsuya Onuki, Wataru Uesugi, Atsuo Isobe, Yoshinori Ando, Satoru Okamoto, Kiyoshi Kato, Tri Rung Yew, J. Y. Wu, Chi Chang Shuai, Shao Hui Wu, James Myers, Klaus Doppler, Member, IEEE, Masahiro Fujita, Member, IEEE, and Shunpei Yamazaki, Life Fellow, IEEE; Embedded Memory and ARM Cortex-M0 Core Using 60-nm C-Axis Aligned Crystalline Indium-Gallium-Zinc Oxide FET Integrated With 65-nm Si CMOS