

# 低功耗連續漸進式類比數位轉換器

## LOW POWER CONSUMPTION SAR ADC

指導教授：朱大舜

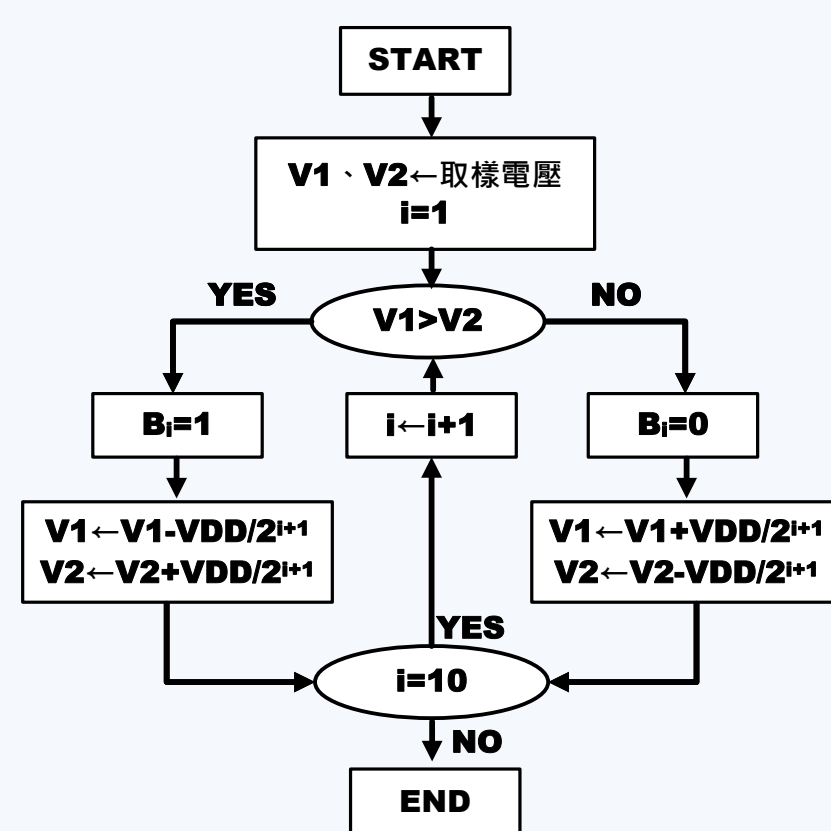
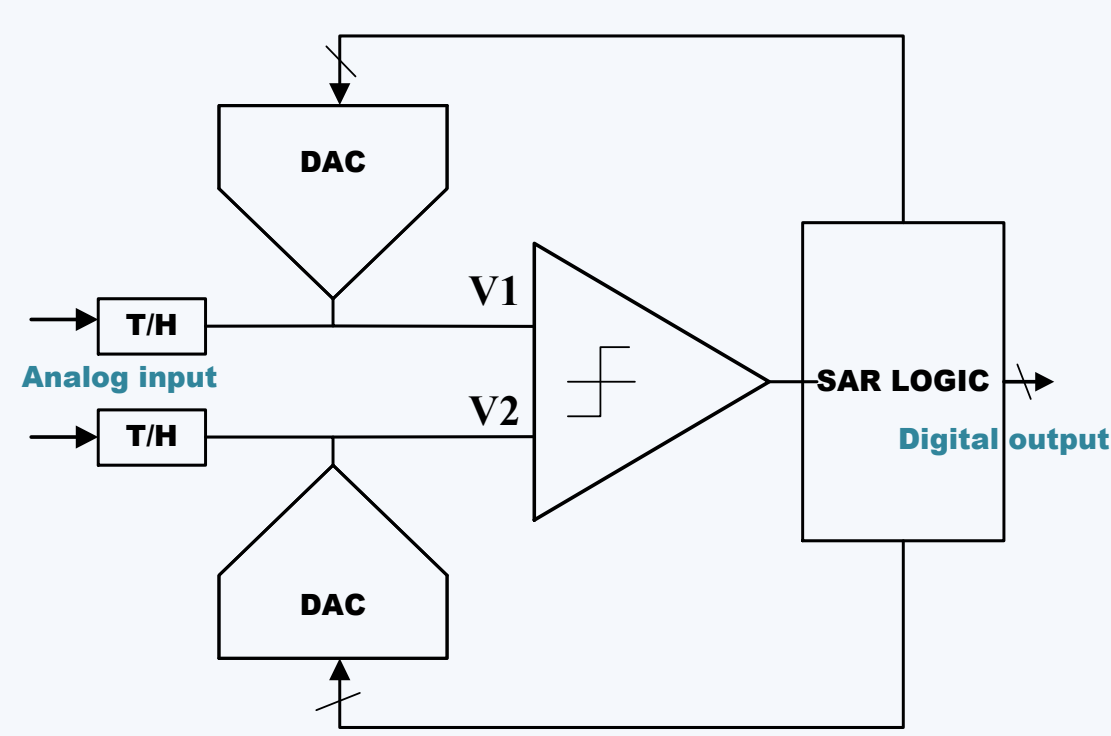
組號：B26 組員：簡子皓、詹晏鈞、楊易儒、傅傑

### Introduction

在 ADC 家族中，SAR ADC 屬於中等解析度、低速、低功率的一種，但隨著 IC 技術的進步，SAR ADC 的速度得到相當程度的提升。以下列出本文所提出 SAR ADC 的規格，研究的兩個要點分別為透過比較器的設計降低功率、以及透過調整取樣電路的時脈提升 ENOB。

取樣速度	100MS/S	功率	1.442mW	位元數	10
製程	TSMC 65nm	FOM	14.09 fj	ENOB	9.963

### Basic Structure & Algorithm



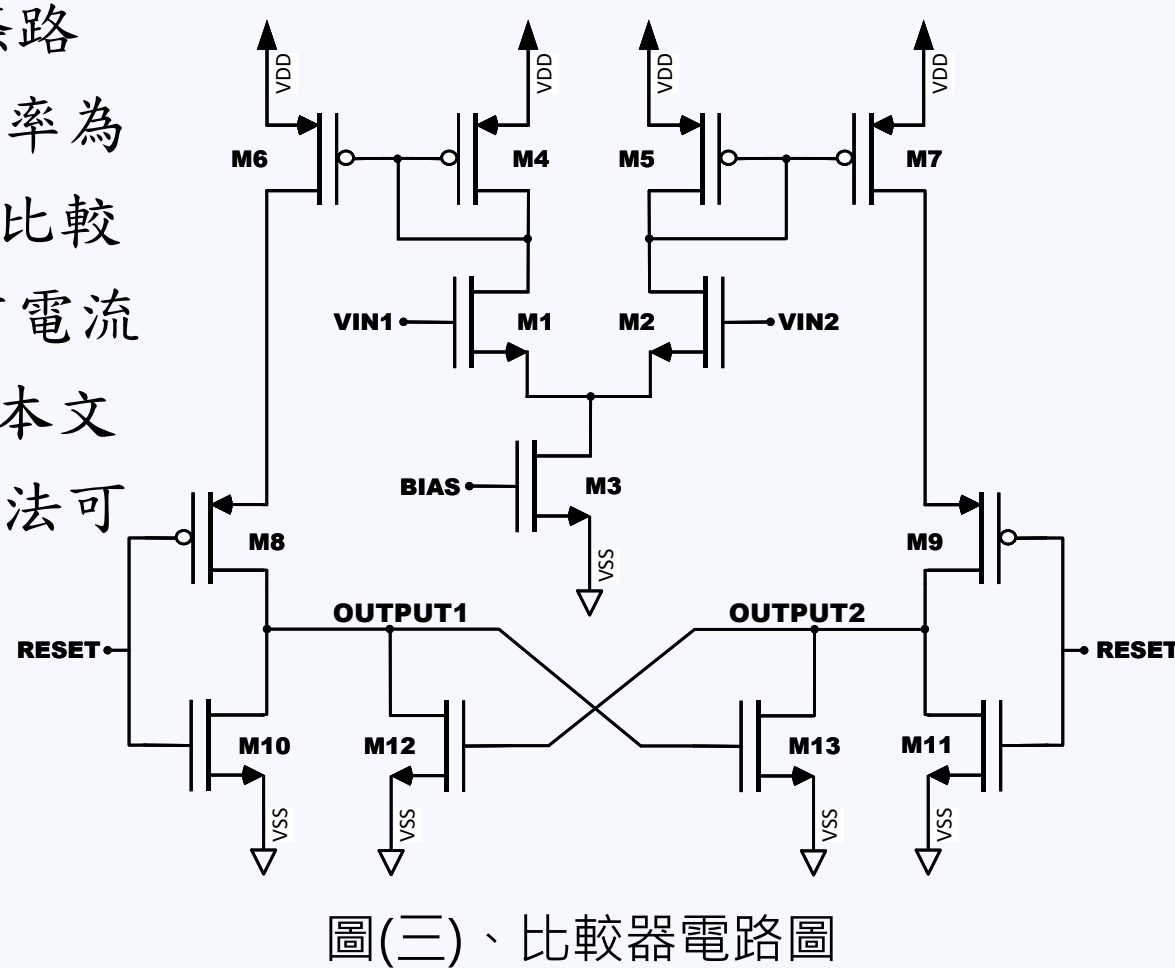
基本架構圖如圖(一)，整體運作步驟如下：

1. 追蹤保持電路(T/H)由取樣時脈控制，當進入保持狀態時，轉換步驟開始。
2. 比較器開始進行比較
3. 比較結果(1 或 0)送入 SAR 邏輯
4. SAR 邏輯切換 DAC(演算法如圖(二))，使 V1、V2 兩點電壓改變然後回到 2，直到第 10 個位元比較完畢
5. 追蹤保持電路(T/H)進入追蹤狀態，然後回到 1，準備轉換下一筆訊號。

### A Comparator with higher efficiency

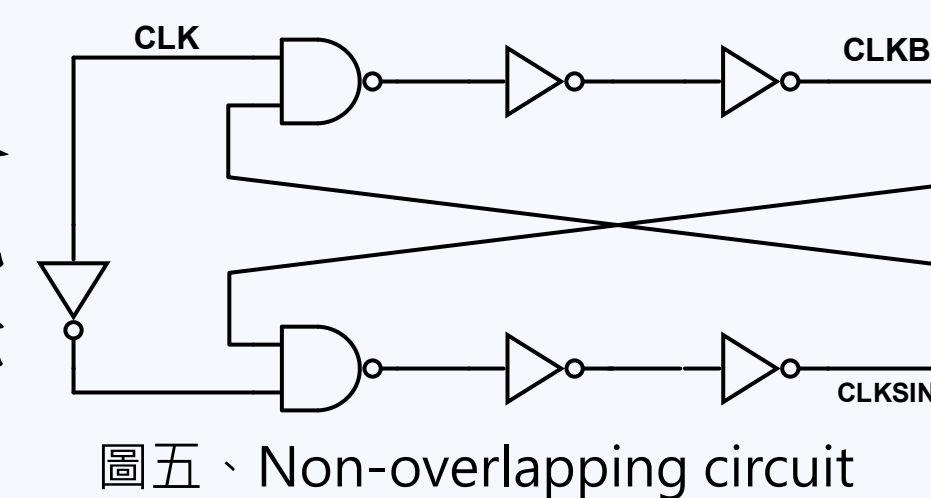
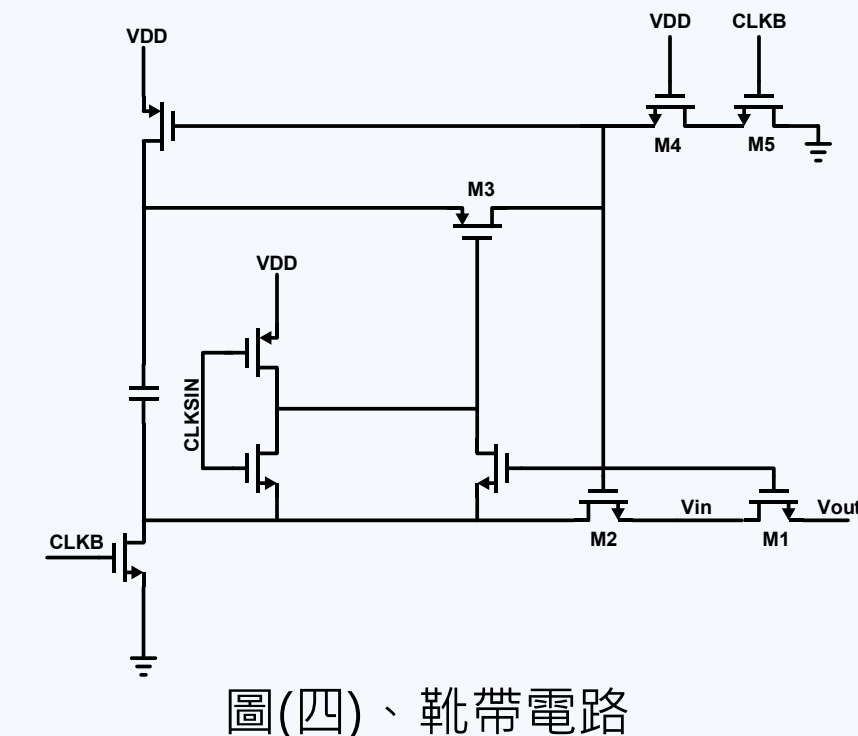
整體是一個靜態的栓鎖比較器，由一個差動對(Differential pair)、一對電流鏡(Current mirror)，以及栓鎖(Latch)所組成。原理是透過差動對及電流鏡將輸入訊號放大並以電流形式傳至栓鎖，栓鎖中電流較大的一邊充電較快並較快達到  $V_{th}$ ，將另一邊的電壓拉低，形成正回授，最終使電流大的一端為 VDD、另一端為 0。這個架構比起動態比較器的好處是有較好的抗回饋雜訊。

本文所設計的比較器特點是在電流鏡以及栓鎖之間，增加了一個開關(M8、M9)，這個開關能在比較器在不運作時阻絕通過 M6、M7 兩條路徑的電流。由於取樣頻率為 100MHz，每 10ns 只會比較 10 次，其餘時間都只有電流源 M3 的靜態電流。以本文所提出的設計，這個做法可以使比較器同樣速度下功耗降低 60% 以上。



### T/H with more accuracy

為了能夠在取樣電路的時候能順利進行，我們利用靴帶電路，如圖(四)所示。M1 即為當作開關之 NMOS。但由於單純的 NMOS 有電壓上的限制，因此加入一個靴帶電路。當 CLK SIN 為低電壓時，M4、M5 會導通使 M1 關閉，此時左方電容的電壓差為 VDD；而當 Clock 升為高壓時，M1 將會導通，此時左方電容的電壓差會來到  $VDD+VIN$ ，因此 VIN 將不再受到 NMOS 之特性所限制。在調整時，作為開關的 M1 影響最大，其餘 MOS 之大小影響則相對較小。在模擬中，當 CLK 與 CLKB 同時為 VDD 的狀況，電路中的電容之電壓則會從原本的  $VDD+VIN$  掉下來，為了避免這種狀況發生，我利用圖五的電路來減少這種狀況。



### Conclusion & Result

1. 本文所提出的 SAR ADC 採用雙端的設計，目的是抑制來自輸入以及電源的雜訊。
2. SAR 邏輯是非同步邏輯的設計，當 SAR 邏輯接收到比較器的比較結果，切換 DAC 完成後，再回傳 reset 訊號給比較器，使之再次進行比較。這樣的設計可以減少等候時間，增加整體運作速度。
3. 在比較器中電流源與栓鎖之間加一個 PMOS 作為開關，可以使相同速度下的損耗功率大幅下降。
4. 給 T/H 電路的時脈，經過處理消除 overlap 以後，可以小幅增加 ENOB。
5. Layout 前的頻域模擬結果如圖(六)，運作於 100MHz 的 ADC 在輸入約 49MHz 的弦波時，輸出的 ENOB(有效位元數)可以達到 9.963。若將輸入控制在一個稍小的範圍(約 0.005~1.195V)時，則可以得到完全準確的十位元輸出。

