

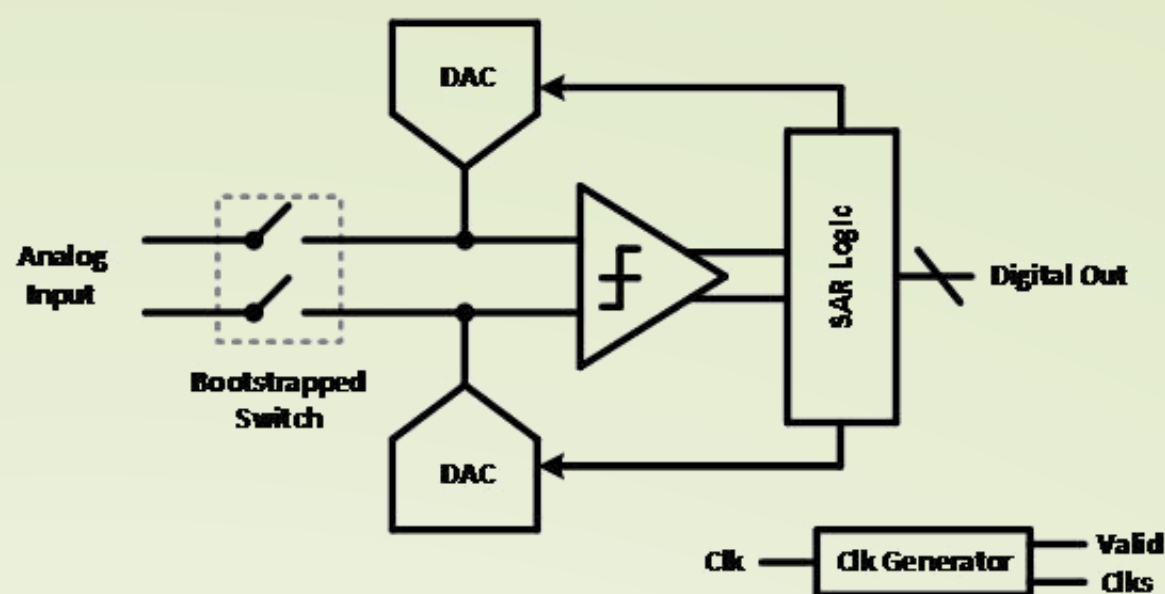
漸進式數位類比轉換器之設計與分析

Design And Analysis Of Successive Approximation Analog-To-Digital Converter

謝博揚 侯亦庭

指導老師: 朱大舜 教授

ABSTRACT



大自然中，訊號皆為類比訊號，然而電腦處理數位訊號比較容易，因此我們需要類比數位轉換器，將類比訊號轉換成數位訊號，交給電腦做處理分析。

現今的類比數位轉換器主要有快閃式、連續漸進式、導管式，各有優缺點，例如：快閃式操作速度最快，在一個比較器的操作週期即可獲得輸出，但是N位元的比較器耗能與面積會以 2^N 的比例快速增加，因此在使用上需有所取捨。而本次實驗我們將以連續漸進式類比數位轉換器為主要討論目標。

連續漸進式類比數位轉換器(SUCCESSIVE APPROXIMATION REGISTER ANALOG TO DIGITAL CONVERTER; SAR ADC)，主要由四個子電路所構成，分別為取樣及保持電路、比較器、SAR邏輯以及電容陣列。運用連續逼近的原理，以二進位的逼近演算法使一個一個的位元由最大意義單元(MSB)往最小意義單元(LSB)逼近。

連續漸進式類比數位轉換器的運作過程可分為兩部分：第一部分為取樣，訊號由取樣及保持電路進入，隨即先對電容陣列進行充電，其電容陣列上之電壓即為取樣所得到之輸入電壓。第二部分為比較且逼近，系統會將剛剛取樣過後的值先做比較，再將比較過後的結果送至連續漸進式邏輯判斷電容陣列需要充電還是放電，其改變電壓的過程是由上述二位元電容陣列的架構所完成的，即對於剛剛所取樣之訊號漸進式執行二位逼近搜尋的演算法，使兩電容陣列輸出端之電壓相互趨近。在這個過程中，每一週期可決定一個位元，從產生最大意義單元執行搜尋，直到最小意義單元產生為止，最終之輸出結果再由連續漸進式邏輯輸出。

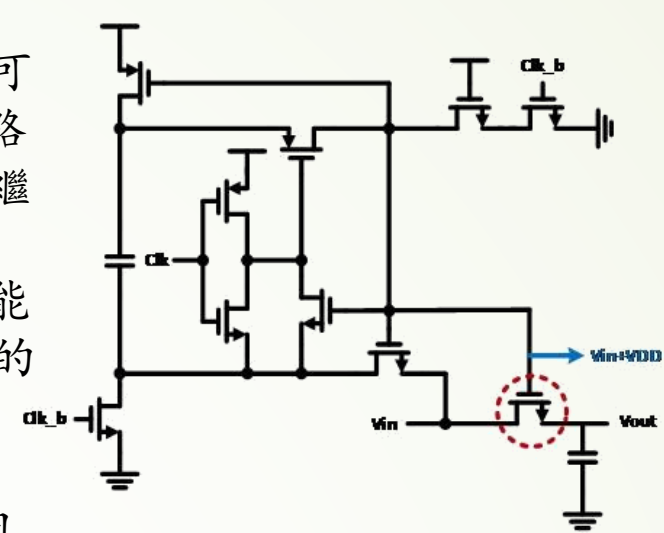
INTRODUCTION

Track and Hold--靴帶電路(Bootstrap)

追蹤保持電路由一個開關跟一個電容組成，兩個追蹤保持電路可以組成一個取樣保持電路(Sample and Hold)，當第一個追蹤保持電路在追蹤訊號的時候，第二個就將第一個追蹤保持電路所追蹤到的訊號繼續保持住，直到第一個追蹤保持電路保持新的訊號為止。

追蹤保持電路中的開關通常為一顆NMOS所構成，但由於NMOS能導通的電壓有限制，所以我們必須加大其Gate的電壓值，使任何大小的訊號均能通過開關，因此需要一個靴帶電路。

使用靴帶電路能使做為開關的NMOS其Gate端擁有一個 $V_{in}+V_{DD}$ 的電壓值，確保軌對軌(Rail-to-rail)的輸入訊號可以完全通過開關，且由於NMOS的VGS固定為VDD，故其導通時的等效電阻值亦固定，如此便能確保時間常數RC相同，增加取樣電路的線性度。就雙端的連續漸進式類比數位轉換器而言，其電容陣列的總電容值即是追蹤保持電路的電容大小，因此電容陣列的總電容值亦會影響追蹤保持電路的效能。當clock為0時，Fig.2中電路左邊的電容進行充電，獲得VDD的電壓。當clock為1時，接通 V_{in} 與左邊電容的VDD，進而讓Fig.2中右下角作為開關的電容的Gate端得到 $V_{in}+V_{DD}$ 的電壓值。



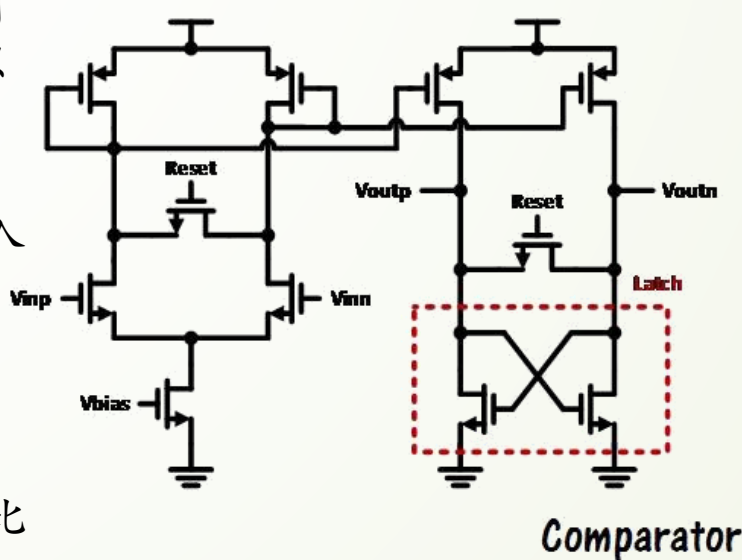
比較器(Comparator)

常見的比較器有：靜態(static)比較器、動態(dynamic)比較器以及軌對軌(rail-to-rail)比較器，其中靜態比較器的優點是搭配前置放大器(Pre-amplifier)可以減少回饋雜訊(Kick-back Noise)，但不管比較器有無在運作都會耗能。而動態比較器則在沒有進行比較時把電流源關掉來改善靜態比較器的缺點。軌對軌比較器不管在何種電位下都可以進行比較。

電壓比較器主要可分為兩個區塊：預先放大器(Pre-amplifier)與栓鎖器(Latch)，而栓鎖器決定了比較器的操作速度。比較器可將雙入訊號之大小做出區分，並將其結果以數位的0、1來表示。

$$\tau_L = 0.67 C_{ox} \sqrt{\frac{WL^3}{2K'I_D}}$$

栓鎖器的操作速度與W、L成反比，與ID成正比。因此若要加快比較器的速度，可增加栓鎖器的ID或是縮小W、L，但要注意W、L不宜過小，否則將使栓鎖器的電流程受能力不足反而降低效能。另外，在模擬栓鎖器的時候如遇到兩輸入訊號較為接近時，可能會發生栓鎖器無法比較大小或者栓鎖器需要比較出大小所需花的時間過長，此時我們須增加輸入differential pair與current source的size，或是小幅度的調整Latch的size



SAR Logic & Binary-weighted DAC

最後是SAR Logic和電容陣列，SAR Logic能利用比較器比較完的結果，判斷要對電容陣列充電或放電，且每次的比較到充放電只能決定一個位元，從最大位元到最小位元依序比較。電容陣列則是一個在連續漸進式類比數位轉換器中的數位類比轉換器，它能藉由充放電的過程使兩端的訊號相互逼近。數位類比轉換器有電阻式、電容式之分，在連續漸進式類比數位轉換器中，由於電阻式容易受製成偏差導致產生的類比電壓值不準確，故多採用電容式的數位類比轉換器，而二位元電容陣列之數位類比轉換器便是其中一種。二位元電容陣列之數位類比轉換器，相較於其他種電容陣列，能給出較精確的電壓值，因此若為追求電壓值精準度而且不考慮使用電容數量及所占面積，此種電容陣列為最佳選擇。

以Fig.3為例，兩個電壓取樣過後，進入比較器進行比較，假設首次判斷為 $V_{inp} > V_{inn}$ ，邏輯電路便會將 V_{inn} 提升0.5 VDD同時將 V_{inp} 下降0.5 VDD，第二次判斷若 $V_{inp}-0.5VDD < V_{inn}+0.5VDD$ ，則將 $V_{inp}-0.5VDD$ 提升0.25 VDD同時將 $V_{inn}+0.5VDD$ 下降0.25 VDD，反覆切換電容陣列使兩個取樣保持電壓不斷逼近。(假設 V_{inp} 在上為1， V_{inn} 在上為0，P1~P6為001100，也就是兩訊號 V_{inp} 、 V_{inn} 的差)

